

## РОЗДІЛ III. ЕНЕРГЕТИКА, ЕЛЕКТРОТЕХНІКА ТА ЕЛЕКТРОМЕХАНІКА

УДК 621.3.07

DOI: 10.25140/2411-5363-2020-2(20)-241-252

Роман Єршов

### ЦИФРОВІ КОМПАРАТОРИ ЧАСТОТИ ТА ФАЗИ В СКЛАДІ СИСТЕМИ СТАБІЛІЗАЦІЇ ПОЛОЖЕННЯ РУХОМОЇ ПЛАТФОРМИ

**Актуальність теми дослідження.** Двodiaпазонна чотириквadrантна система стабілізації положення (ССП) безколекторного двигуна постійного струму (БДПС) у складі рухомої платформи (РП), в якій силовий каскад побудований на основі квазірезонансного імпульсного перетворювача (КРП), має кращу швидкодію та точність у порівнянні із системами на основі перетворювачів з жорстким перемиканням та ШІМ.

**Постановка проблеми.** ССП БДПС може бути побудована на основі класичного багатоконтурної підпорядкованої системи автоматичного керування (САК), або ж у частотно-імпульсному (ЧІ-) домені. Задача керування швидкістю в ЧІ-домені трансформується в задачу порівняння та узгодження частот, а керування положенням – у порівняння та узгодження фаз опорного сигналу та сигналу зворотного зв'язку. Розробка спеціалізованих цифрових блоків частотного компаратора (ЧК) та фазового компаратора (ФК) для виконання вищезгаданих задач є нетривіальною задачею.

**Аналіз останніх досліджень і публікацій.** Найбільш ранні рішення ЧК, які коректно називати «частотним детектором» (ЧД), виконувались змішаними (містили як аналогові, так цифрові вузли) через їх використання в складі високочастотної системи з фазовим автотестуванням частоти (ФАПЧ). Повнофункціональний ЧК складається з двох лічильників, компаратора, блока ЧД і керуючого цифрового автомата (КЦА), та спеціалізованої комбінаційної схеми.

**Виділення недосліджених частин загальної проблеми.** Існуючі блоки ЧК не повертають кількісне відношення між частотами, яке можна використати для прогнозування динаміки та нечутливі до виявлення малих неузгоджень між частотами, що створює нестабільність виявлення стану рівності частот. Існуючі блоки ФК нестабільні в роботі, коли частота одного з вимірюваних сигналів наближається до системної частоти тактування, а також не враховують порядку надходження фронтів вимірюваних сигналів.

**Постановка завдання.** Стаття присвячена дослідженню і розробці структури повністю цифрових блоків ЧК та ФК, які усунуть недоліки існуючих рішень і пристосовані для інтеграції в системи стабілізації положення з КРП у словій частині та САК побудованою в ЧІ-домені.

**Викладення основного матеріалу.** Запропоновані, роблені і протестовані нові технічні рішення для повністю цифрових блоків ЧК та ФК, побудованих у базисі програмованої логічної інтегрованої схеми (ПЛІС) засобами мови опису апаратури (МОА) VHDL. Вони дозволяють не тільки виміряти знак нерівності частоти та фази між двома періодичними сигналами, а й отримати числові значення відмінності між ними.

**Висновки відповідно до статті.** Введення блоків ЧК та ФК до складу ССП БДПС призводить до різкого зменшення використання апаратних ресурсів програмованої логічної інтегрованої схеми (ПЛІС) і високої надійності та завадостійкості САК через безперервний характер надходження сигналів. У запропонованих нових блоках усунути недоліки, притаманні існуючим блокам ЧК та ФК за рахунок введення додаткових цифрових вузлів – синхронізаторів (вкорочувачів імпульсів і детекторів фронтів) та гістерезисної ланки, які підвищують стійкість і вирішують проблему виявлення практично рівних частот і фаз.

**Ключові слова:** частотно-імпульсний; частотний; фазовий; детектор; дискримінатор; компаратор; ЧД; ФД; ЧК; ФК; ЧІМ; ПЛІС; FPGA; VHDL.

Рис.: 7. Табл.: 1. Бібл.: 24.

**Актуальність теми дослідження.** Розглянемо (рис. 1) двodiaпазонну чотириквadrантну прецизійну систему стабілізації положення (ССП) безколекторного двигуна постійного струму (БДПС), яка працює в складі системи стабілізації рухомої платформи (ССРП), в якій силова частина побудована на основі квазірезонансного імпульсного перетворювача (КРП) з перемиканням при нульовому струмі (ПНС) [1-5], а регулювання виконується на основі частотно-імпульсної модуляції (ЧІМ) [6].

КРП-ПНС у складі силової частини може бути присутній як у стабілізаторі напруги ланки постійного струму (ЛПС) [6], так і в кожному з півмостів трифазного інвертора напруги [2-5]. ССП зазвичай побудована на основі багатоконтурної підпорядкованої системи автоматичного керування (САК) [7] (і попередніх аналітичних розрахунків), але існують і інші підходи.

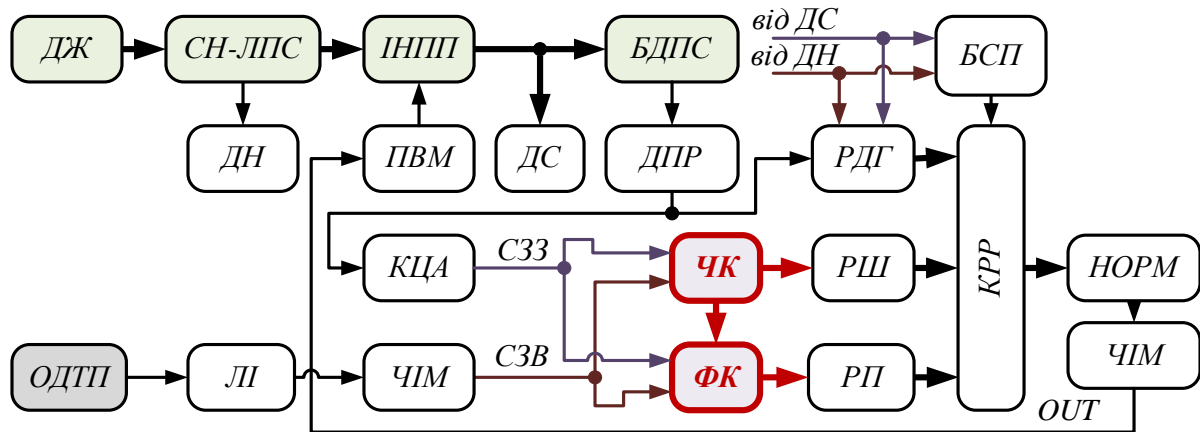


Рис. 1. Двобічна чотирьохквартна САК ССП БДПС в ЧІ-домени

Наприклад, «шипкоподібна» концепція обробки сигналів (англ. *Spikes Signal Processing, SSP*) [8] фактично працює в частотно-імпульсному (ЧІ-) домені. Особливість її використання з фундаментального погляду полягає в тому, що принцип її роботи аналогічний поведінці біологічних систем (нейронів у мозку) і аналогових блоків, при цьому використовується виключно цифрова елементарна база. З технічного погляду SSP дозволяє побудувати замкнену САК без необхідності в складних змінних із плаваючою комою, а також уникати складних та повільних арифметичних операцій додавання і множення, які замінюються реверсивними лічильниками, дільниками частоти і ЧІ-модуляторами [6] відповідно. Усе вищезгадане призводить до різкого зменшення використання апаратних ресурсів програмованої логічної інтегрованої схеми (ПЛІС) [3-5; 8], особливо матриці взаємозв'язків між блоками (для SSP достатньо 1-бітових асинхронних каналів). Одночасно підвищується надійність та завадостійкість через неперервний характер надходження сигналів.

У системі, яка показана на рис. 1, контур регулювання швидкості представлений частотним компаратором (ЧК), вихідний сигнал якого пропорційний до неузгодженості (незбігу) між частотами сигналу задаючого впливу (СЗВ) і сигналу зворотного зв'язку (СЗЗ), – кутовою швидкістю ротора БДПС. Вихід ЧК надходить на вхід «грубого» регулятора швидкості (РШ), на який система перемикається під час розгону або гальмування БДПС. Завдання РШ у цих режимах – зменшити неузгодженість за частотою СЗВ та СЗЗ до нуля.

У режимі регулювання положення відбувається регулювання різниці фаз між СЗВ та СЗЗ, яка вимірюється фазовим компаратором (ФК), та подається на вхід «точного» регулятора положення (РП). Перемикання в цей режим виконується тільки після завершення регулювання швидкості. Перемикання між режимами здійснюється за допомогою блока комутатора режиму регулювання (КРР), який схемотехнічно є векторним мультиплексором, та блока спостерігача (БСП), який використовує сигнали датчиків положення ротора (ДПР), датчиків струму (ДС) та датчиків напруги (ДН) ЛПС.

За різкої зміни зовнішнього моменту, прикладеного до вала БДПС, або СЗВ ССП, відбувається перемикання на регулятор динамічного гальмування (РДГ), який дозволяє з максимальною швидкістю відібрати енергію, запасену в обмотках БДПС, тим самим якнайшвидше зупинити його перед зміною напрямку обертання.

Один з вхідних сигналів для блоків ЧК та ФК генерує опорне джерело траєкторії переміщення (ОДТП), сигнал якого необхідно лінійно інтерполювати (ЛІ) з обмеженою швидкістю наростання та подавати на ЧІМ, щоб отримати СЗВ. СЗЗ відображається в ЧІ-область із використанням іншого ЧІМ з фіксованою тривалістю імпульсу (або з вкорочувачем імпульсів на виході). У цьому випадку в модулятор завантажуються різниця між максимально можливим і поточним вхідним значенням. Якщо ДПР представлений інте-

рфейсом квадратурного енкодера (англ. *Quadrature Encoder Interface*, QEI) або декількома дискретними датчиками Холла, він повинен бути перетворений у СЗЗ з використанням простого кінцевого цифрового автомата (КЦА) в інтерфейс «крок-напрямок». Звертаємо увагу, що вхідні частоти повинні бути нормалізовані до системного сигналу тактування за допомогою цілочисельного дільника частоти.

Вихідними сигналами блоків ЧК і ФК є абсолютне значення і прапорці нерівності між частотами та фазами відповідно. У випадку ЧК значення нормовані на ємність лічильника і виражають відсоткове відношення меншої частоти до більшої. У разі ФК різниця фаз виражається в кількості імпульсів системного сигналу тактування. Отже, при об'єднанні обох вищезазначених блоків з існуючою САК вихідні значення повинні масштабуватися до одиниць вимірювання, що використовуються в системі.

**Постановка проблеми.** ССП БДПС може бути побудована на основі класичної багатоконтурної підпорядкованої САК [9-10], або ж в ЧІ-доміні. Задача керування швидкістю в ЧІ-доміні трансформується в задачу порівняння та узгодження частот СЗВ та СЗЗ, а керування положенням – у порівняння та узгодження фаз СЗВ та СЗЗ. Розробка спеціалізованих цифрових блоків ЧК та ФК для виконання вищезгаданих задач є нетривіальною задачею.

**Аналіз останніх досліджень і публікацій.** Розглянемо більш докладно підходи до розробки блоків ЧК і ФК. По-перше, слід зазначити, що нині терміни «компаратор» і «детектор» позначають два різних типи блоків обробки сигналів. Для детектора необхідно тільки визначити й повертати знак рівності або нерівності між двома вхідними періодичними послідовностями сигналів, або навіть просто наявність деякої частоти на вході. Компаратор – більш складний пристрій, що може також вимірювати кількісну різницю між двома частотами безпосередньо або в порівнянні з деякою еталонною частотою.

Ранні рішення блока ЧК, які більш правильно називати «частотними детекторами» (ЧД), виконувались змішаними (містили пасивні аналогові ланцюги, дискретні транзистори, наприклад, формувачі імпульсів і дільники частоти) через їх використання в складі аналогової високочастотної системи з фазовим автопідстроюванням частоти (ФАПЧ).

Найпростіші повністю цифрові ЧД [11] можуть виявляти якісну різницю між вхідними частотами й містять лише чотири тригери (які об'єднані в пари для роботи подібно до лічильників з метою виявлення специфічної послідовності переходів у вимірюваних сигналах), а також чисто комбінаційну схему, яка виконує арбітраж тригерів (запуск і скидання) [12]. Такий ЧД не повертає кількісного відношення між частотами й не враховує фазу слідування вхідних сигналів, а тільки генерує два вихідних сигнали – 'UP' і 'DOWN', які керують ланцюгом підкачки заряду. Ланцюг підкачки заряду змінює керуючу напругу для генератора керованою напругою (ГКН), вихід якого є високочастотним виходом блока ФАПЧ.

Базовий повнофункціональний ЧК складається з двох лічильників, компаратора, блока ЧД і керуючого КЦА (який виконує запуск та зупинку в правильній послідовності й без втрат), і спеціалізованої комбінаційної схеми [12]. Він також повертає тільки тризначне якісне співвідношення між частотами, наприклад, рівність (що не перевищує допустиму точність) між частотами. Ключовим недоліком такого типу виходу є те, що він часто «брязкотить» (формує нестійкий вихідний сигнал) при вимірюванні майже рівних частот. Це, у свою чергу, може бути усунуто шляхом використання формувача вихідного сигналу з гістерезисом.

Усунення нестабільності роботи ЧК реалізується за допомогою покращеної схеми арбітражу, яка виявляє стан переповнення будь-якого з лічильників і запобігає скиданню обох лічильників доти, поки збережені значення не стануть уставленими й не зберуться [13]. Основним поліпшенням ЧК є незалежний від фази процес вимірювання. Найпростішим способом є підгонка фаз і порівняння вхідних частот, які вирівняні по

фазі, але це призводить до недоліків: такий блок не пристосований для порівняння змінних частот і вимагає більш складної схеми з додатковим контуром керування (що збільшує частоту відмов).

Комплексне покращення полягає в перемиканні існуючих лічильників ЧК в режим рахунку по колу та їх ініціалізації ненульовими і завжди відмінними між собою початковими значеннями. Якщо виміряні частоти рівні, обидва лічильника інкрементуються з однаковою швидкістю, і, таким чином, значення лічильників ніколи не зможуть урівнятися. Інакше після декількох вхідних імпульсів значення всередині лічильників стануть рівними, що вказуватиме на різні частоти тактування. Друге вдосконалення досягається шляхом додавання спеціалізованої комбінаційної схеми, яка робить вимірювання незалежними від різниці ходу фаз, і підходить для вимірювання малих відхилень частоти [14]. Недолік такої схеми полягає в тому, що тривалість циклу вимірювання не постійна і залежить від номіналів частот.

ЧК у складі ФАПЧ стабілізує системний сигнал тактування на кристалі інтегральної мікросхеми, тому придатний для генерації тактових імпульсів вибірки АЦП та систем відновлення потоку даних в LVDS і т. ін. [15; 16]. Іншими сферами застосування ФАПЧ з ЧК є синтезатори частоти, фазові модулятори, FM-модулятори і демодулятори, радіочастотне обладнання зв'язку та контролери для електродвигунів із регульованою швидкістю [3-5].

Окремим класом пристроїв є частотно-фазові компаратори (ЧФК) [17; 18] або, точніше кажучи, фазово-частотні детектори (ЧФД). ЧФД відрізняється від звичайного ЧД поведінкою виходів 'UP' і 'DOWN'. Активний рівень 'UP' генерується як тоді, коли фаза  $f_A$  відстає від фази  $f_B$ , так і коли визначається, що частота  $f_A$  вище, ніж  $f_B$ . Навпаки, активний рівень 'DOWN' генерується як тоді, коли фаза  $f_A$  випереджає фазу  $f_B$ , так і коли визначається, що частота  $f_A$  нижче за  $f_B$ .

Найпростіший ЧФД складається з набору бістабільних елементів (тригерів), – одного для генерації сигналу узгодження фаз, пари тригерів для виявлення суто переходів переднього й заднього фронтів (сигналів частотної помилки), які в поєднанні з вихідним сигналом узгодження фаз генерують сигнали фазово-частотної помилки [19]. Ця базова схема ЧФД також може бути розширена шляхом додавання комбінаційної схеми для трьох окремих вихідних прапорців.

Описаний вище блок ЧФД сьогодні став загальноприйнятим і широко використовуваним, але і він може пропустити тактові імпульси. Вдосконалення може бути досягнуто за рахунок включення схеми коректора, яка надійно виявляє пропущені фронти тактових імпульсів, і правильно активує перемикачі для підкачки заряду ГКН ФАПЧ або *Delay Locked Loop* (DLL). Додаткове покращення полягає в виявленні неточно визначених пропущених фронтів, тобто, неправильного спрацьовування коректора. Удосконалений блок ЧФД можна використовувати в складі блоків PLL або DLL для синтезу тактових імпульсів і відновлення синхронізуючої сітки, що дозволяє їм працювати на більш високих частотах і отримувати фазову синхронізацію швидше, ніж типові блоки [20].

Сучасні дослідження схемотехнічних рішень блоків ЧК та ФК сфокусовані на модифікації існуючих ЧФД та усуненні раніше сформульованих недоліків роботи цих блоків залежно від застосування. Наприклад, усунення «сліпої» зони та лінеаризації фазово-частотної характеристики [21; 22], розширення діапазону детектування і, нарешті, повна відмова від необхідності в системному сигналі тактування. Більшість з вищезазначених рішень втілені на замовних КМОП-мікросхемах ASIC і знаходять використання навіть у складі інтелектуального датчика струму [23].

**Виділення недосліджених частин загальної проблеми.** Підсумовуючи наведений вище огляд, можна зробити висновок, що у випадку ЧК існуючі схемотехнічні рішення мають такі недоліки:

1. Не повертають кількісне відношення між частотами, яке могло б використовуватися системою керування для прогнозування динаміки регулювання;

2. Нечутливі до неузгоджень між частотами, які менше, ніж половина періоду (один перехід), що, у свою чергу, створює нестабільність виявлення стану рівності частот.

Існуючі блоки ФК працюють значно стабільніше, але й вони також мають недоліки:

1. Не враховують порядку надходження фронтів, а тільки певну їх кількість до порогового значення.

2. Нестабільні в роботі, коли вимірюваний сигнал по частоті наближається до системної тактової частоти.

### Виклад основного матеріалу.

**Постановка завдання.** Стаття присвячена дослідженню та розробці структури повністю цифрових блоків ЧК та ФК у базисі ПЛІС із використанням мови опису апаратури (МОА) VHDL, які усуватимуть недоліки існуючих схемотехнічних рішень і пристосовані для інтеграції в ССРП з КРІП у силовій частині та САК, побудованою в ЧІ-доміні.

**Частотний компаратор.** На рис. 2 наведено структурну схему розробленого цифрового блока ЧК з покращеною точністю і динамічними характеристиками. Принцип його роботи опишемо нижче.

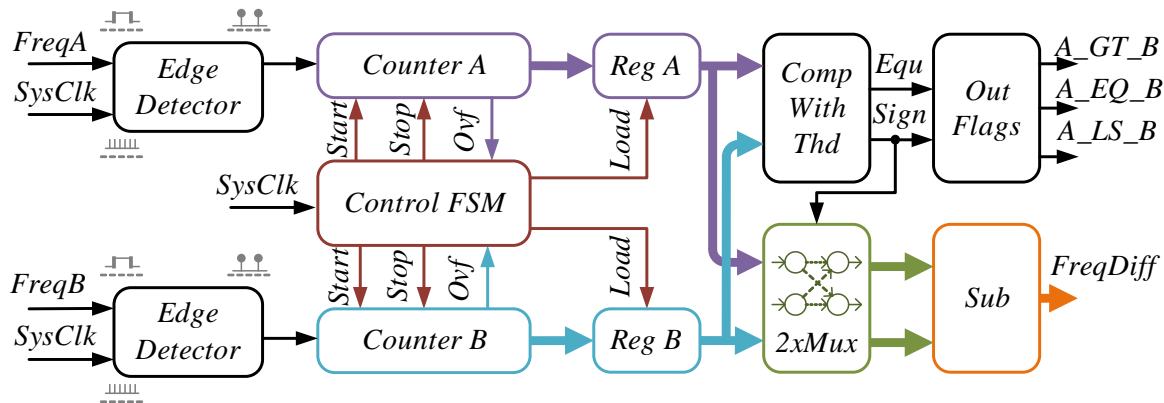


Рис. 2. Структурна схема блоку ЧК

Синхронізатори 'Edge Detectors' встановлюються по обох входах вимірювання частот (сигнали 'Freq A' і 'Freq B'), та спрацьовують по обох фронтах (і передньому, і задньому). Синхронізатори потребують зовнішнього тактового сигналу 'SysClk' з частотою, яка щонайменше вдвічі перевищує максимально допустиму вимірювану частоту. Таким чином, одному вимірюваному імпульсу відповідає два зареєстровані переходи.

Коли принаймні один із лічильників (блоки 'Counter A' або 'Counter B') досяг переповнення, обидва лічильника зупиняються, а нараховані ними значення зберігаються в регістрах-защібках, і починаючи з наступного циклу (після скидання обох лічильників) починається новий операційний цикл. За дотримання послідовності цих дій відповідає КЦА (блок 'Control FSM', який також потребує синхронізації по сигналу 'SysClk').

Однорівнева буферизація з використанням регістрів-защібок 'Reg A' і 'Reg B' реалізована в блоці ЧК з метою підвищення швидкодії. Це досягається шляхом конвеєризації процесів підрахунку кількості переходів, обчислення різниці частот, установки початкового значення один раз за робочий цикл. Крім того, вона виключає некоректне спрацьовування вихідних прапорців, які залишаються незмінними до кінця наступного циклу вимірювань.

Збережені в регістрах значення пропорційні частотам вхідних сигналів, тому що один із лічильників завжди діє як формувач еталонного часового вікна. Перед обчисленнями збережені значення надходять на подвійний мультиплексор (блок '2xMux'), який пропускає через себе двійкові вектори в прямому (наскрізному, прозорому) або перехрещеному (обмінному) напрямку. Керування режимом роботи подвійного мультиплексора виконує сигнал знаку порівняння частоти так, що більше значення завжди подається на вхід зменшувача, а менше – на вхід від'ємника блока беззнакового віднімача (блок 'Sub' на рис. 3).

Це дозволяє завжди зберігати кількісну різницю додатною (в прямому двійковому коді), що полегшує її інтерпретацію іншими блоками в системі. Для цієї ж мети реалізовані три вихідних прапорця, які визначають якісне відношення частот ('*A\_GT\_B*', '*A\_EQ\_B*' і '*A\_LS\_B*'). Прапорець рівності частот використовується, наприклад, як маркер для перемикання замкнутої САК електроприводом із режиму стабілізації швидкості в режим стабілізації положення та навпаки.

З метою підвищення стабільності роботи блока ЧК, вихідні прапорці за допомогою вузла '*Comp With Thd*' наділені гістерезисними властивостями таким чином, що можна встановити пороги спрацьовування для входження в режим рівності частот і виходу з нього в режим порівняння нерівних частоти.

У запропонованому вище (рис. 2) рішенні визначення відношення між підрахованими значеннями (тобто, більш високої частоти) виконується з використанням компаратора, але воно також може бути реалізовано на основі RS-тригера. Сигнали встановлення і скидання цього RS-тригера підключаються до виходів переповнення лічильників (оскільки переповнення одного лічильника припиняє роботу обох).

Як згадувалося вище, завдяки наявності вхідних синхронізаторів вимірювана кількість імпульсів навмисно подвоюється. Це дозволяє використовувати такий підхід: при підрахунку кількості переходів (замість імпульсів) *частоти вважаються рівними*, якщо в кінці поточного циклу вимірювання різниця між кількістю переходів у лічильниках *не перевищує одиниці*. Це, у свою чергу, робить роботу блока ЧК незалежною від фази слідування між вимірюваними частотами.

На рис. 3 зображено принципову схему блока ЧК на рівні регістрових передач (англ. *Register Transfer Level, RTL*), отриману шляхом синтезу VHDL-опису в середовищі **Altera® Quartus-II®**.

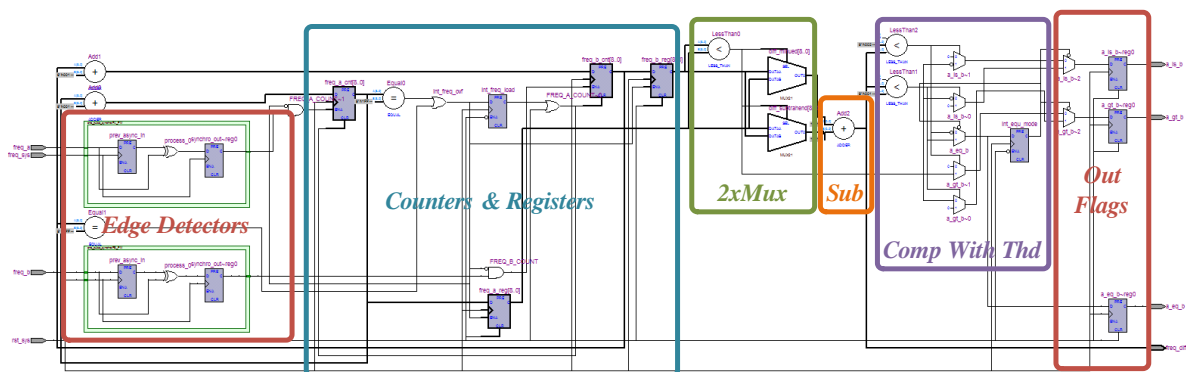


Рис. 3. Принципова схема блока ЧК на рівні регістрових передач, отримана шляхом синтезу VHDL-опису

На рис. 4 наведено часові діаграми роботи розробленого блока ЧК та його поведінка у разі зміни співвідношення між вимірюваними частотами. Моделювання проводилося з використанням програмного середовища **Altera® Quartus-II®**. Випадок, коли частота СЗВ '*freq A*' вище за частоту СЗЗ '*freq B*', зображений на ділянці (а). Випадок, коли частота СЗВ '*freq A*' стала менше за частоту СЗЗ '*freq B*', зображений на ділянці (б). Випадок, коли частоти СЗВ та СЗЗ рівні, зображений на ділянці (в).



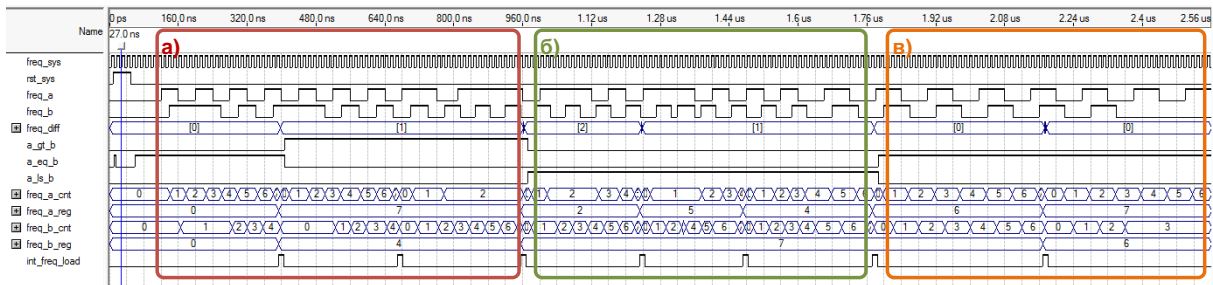


Рис. 4. Часові діаграми роботи блока ЧК

**Фазовий компаратор.** На рис. 5 показана структурна схема розробленого цифрового ФК з покращеною точністю спрацьовування і динамічними характеристиками. Як і в ЧК, у ФК синхронізатори ‘Edge Detectors’ також встановлені по обох входах вимірюваних сигналів та працюють у режимі детекторів фронтів, проте, на відміну від ЧК, налаштовані на роботу тільки за певним і однаковим для обох входів фронтом (наприклад, за переднім). Вибір конкретного фронту може бути виконаний із використанням налаштувань у розділі ‘generic’ VHDL-опису. Для роботи КЦА арбітражу й лічильників також необхідний додатковий системний синхронізуючий сигнал ‘SysClk’.



Рис. 5. Структурна схема блока ФК

Робота КЦА ФК аналогічна роботі шахового годинника, оскільки сигнал детектування фронту на одному з вимірюваних входів запускає лічильник фази цього каналу ‘Counter A’ і одночасно скидає лічильник протилежного каналу ‘Counter B’ (попередньо записавши його значення до регістра-защіпки ‘Reg B’), і навпаки. Цей підхід також спрощує обчислення різниці фаз, оскільки значення, підраховане кожним з лічильників, являє собою різницю фаз, виражену у кількості імпульсів сигналу ‘SysClk’. Таким чином, різниця подається на вихід без будь-яких арифметичних операцій від одного з вихідних регістрів-защібок через мультиплексор ‘Mux’, вхід вибору якого в простішому випадку керується RS-тригером, який скидається і встановлюється виходами детекторів фронтів.

Для робастного керування вибір фази відбувається з урахуванням гістерезису на входження та вихід зі стану детектування рівних фаз за допомогою блока ‘Comp With Thd’. Захист лічильників фази ‘Counter A’ та ‘Counter B’ від перепоовнення виконується блоками ‘Cmp A’ та ‘Cmp B’, які зупиняють рахунок фази при перевищенні рахівником деякого опорного значення.

На рис. 6 зображено принципову схему блока ФК на рівні регістрових передач (англ. Register Transfer Level, RTL), отриману шляхом синтезу VHDL-опису в середовищі Altera® Quartus-II®.

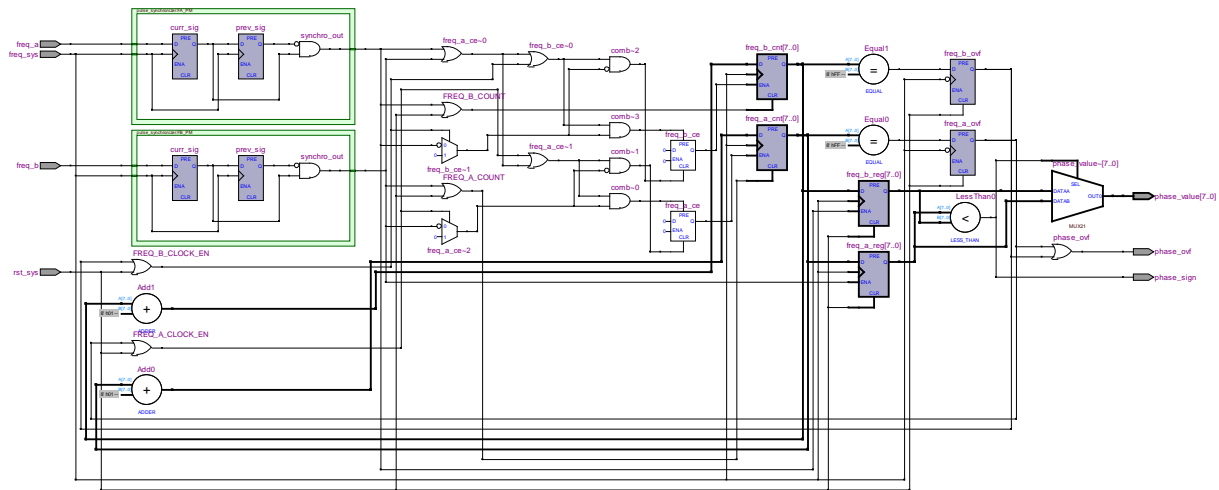


Рис. 6. Принципова схема блоку ФК на рівні регістрових передач, отримана шляхом синтезу VHDL-опису

На рис. 7 наведені часові діаграми роботи розробленого блоку ФК та його поведінка залежно від зміни співвідношення між фазами вимірюваних сигналів. Моделювання проводилося з використанням середовища **Altera® Quartus-II®**. Випадок, коли фаза сигналу *'freq\_a'* випереджає фазу сигналу *'freq\_b'*, зображений на ділянці (а). Випадок, коли сигнали *'freq\_a'* і *'freq\_b'* мають майже однакові фази слідування, зображений на ділянці (б). Випадок, коли фаза сигналу *'freq\_b'* випереджає фазу сигналу *'freq\_a'*, зображений на ділянці (в).

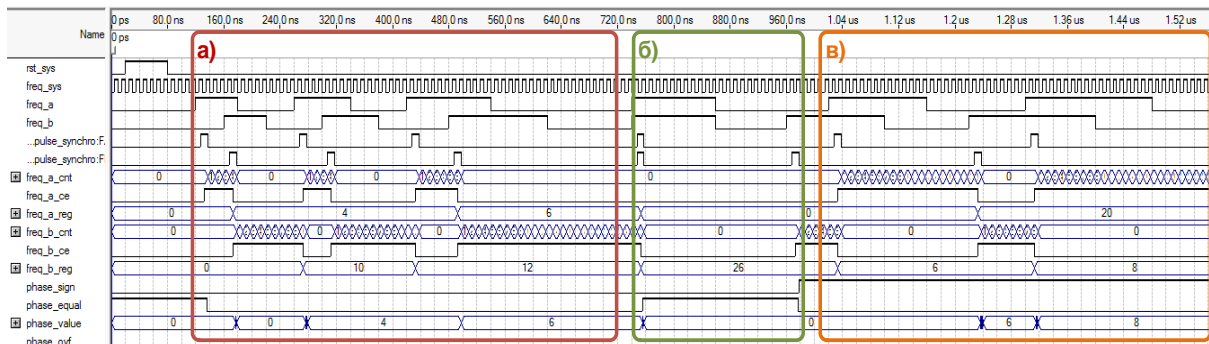


Рис. 7. Часові діаграми роботи блоку ФК

Слід зазначити, що вихідне значення ФК є достовірним тільки за умови рівності частот слідування вхідних сигналів, тобто коли процес налаштування частоти завершений (різниця частот усунена), і перемикання системи керування з режиму регулювання частоти в режим регулювання фази вже відбулося. Цей стан визначається на основі вихідного сигналу *'A\_EQ\_B'* блоку ЧК. Якщо треба грубо детектувати стан рівності фаз, то вихідний сигнал ФК можна наділити гістерезисними властивостями.

**Результати синтезу блоків ЧК та ФК на ПЛІС засобами мови VHDL.** Часове моделювання розроблених VHDL-сутностей виконувалась у середовищі **Altera® Quartus® II** для мікросхеми ПЛІС сімейства **Cyclone®-III**. В якості системного синхронізуючого сигналу було взято сигнал з виходу вбудованого в ПЛІС вузла ФАПЧ, налаштованого на частоту 200 МГц. Порівняльна оцінка використання ресурсів кристалу ПЛІС, які займають блоки ЧК та ФК, залежно від обраної розрядності лічильників, наведена в таблиці.



Таблиця

Ресурси мікросхеми ПЛІС моделі *Altera EP3C5E144A7* (5 136 LEs),  
зайняті блоками ЧК та ФК залежно від розрядності їх лічильників

Назва параметра	Задане значення на етапі синтезу											
	8			12			16			20		
Розрядність лічильників, біт												
Складові	Тип схемотехнічного ресурсу ПЛІС											
	LE	CF	RG	LE	CF	RG	LE	CF	RG	LE	CF	RG
Блок ЧК	74	70	44	99	97	60	128	124	76	158	154	92
Блок ФК	50	48	38	66	66	54	101	84	70	104	104	86

**Висновки відповідно до статті.** Створені нові цифрові схемотехнічні рішення для блоків ЧК та ФК з можливістю гнучкого налаштування їх режиму роботи та динамічних характеристик. Запропоновані блоки реалізовані з використанням МОА VHDL і протестовані на мікросхемі FPGA (сімейство **Intel® Altera® Cyclone-III®**).

У розробленому блоці ФК усунені такі недоліки, властиві наявним зразкам:

1. Завдяки встановленню додаткових ланок детектування фронтів по входах вимірювання стало можливим перемикаччя блока ЧК із режиму підрахунку кількості імпульсів у режим підрахунку кількості фронтів. Це, у свою чергу, дозволило усунути один з основних недоліків ЧК – неможливість достовірного порівняння частот на рівність, а також зробити вимірювання частот нечутливим до фази слідування імпульсів;

2. Завдяки встановленню гістерезисної ланки, яка керується значенням різниці підрахованих фронтів, стало можливим використання ЧК як інтелектуального перемикача між «грубим» і «точним» режимами керування при роботі в складі замкненої САК прецизійної ССП.

У розробленому блоці ФК усунені такі недоліки, властиві наявним зразкам:

1. Завдяки встановленню додаткових детекторів фронтів досягається надійна робота з визначення різниці фаз навіть при значеннях вимірюваних частот, близьких до системної частоти тактування;

2. Завдяки ланцюгам перехресного керування досягаються висока швидкодія ( $f_{sys} = 200$  МГц) автоматики та її стабільна робота навіть за умови одночасності надходження імпульсів на вимірювальних входах.

Обидва блоки оснащені можливістю налаштування ємності лічильників (тобто інтервалу усереднення, що надає інтегруючих властивостей) і порогових рівнів зони нечутливості (надає гістерезисних властивостей). Налаштування встановлюються окремо для кожного нового входження блоків в систему на етапі компіляції.

Отримані блоки дозволяють істотно спростити (позбутися суматорів і помножувачів) структуру цифрової САК «у великому», в якій регулювання відбувається в основному за рахунок контуру швидкості. Ці ж блоки можуть виступати детекторами, оскільки залежно від їх вихідного значення САК перемикається з «грубого» (регулювання швидкості) у «точний» (регулювання положення) режим, і навпаки.

Розроблені блоки використовуються в складі САК стабілізатора напруги ЛПС на основі КРП-ПНС [1; 2; 6] та в прецизійній системі керування електроприводом із високою динамікою, яка працює в режимі ФАПЧ [4, 5]. Крім того, ці блоки можуть бути використані як вузли перетворення вхідного сигналу (ЧІ-демодуляції) для систем, що працюють у частотно-імпульсному домені [8-10; 24].

#### Список використаних джерел

1. Yershov R. D., Voytenko V. P., Bychko V. A., Kuts Y. V. FPGA-based Frequency and Phase Comparators for Closed-Loop Motor Position Control. *Proc. 2019 IEEE International Conference on Modern Electrical and Energy Systems (MEES'2019)*, IEEE, 23-25 September 2019. P. 290-293.

2. Ревко А. С. Оптимізація за швидкістю електропривода з квазірезонансним імпульсним перетворювачем для систем позиціонування. *Вісник Чернігівського державного технологічного університету. Серія: Технічні науки*. 2004. № 21. С. 149-156.

3. Денисов А. И., Ревко А. С. Квазирезонансные импульсные преобразователи в системах прецизионного электропривода малой мощности. *Технічна електродинаміка. Тематичний випуск: Проблеми сучасної електротехніки*. 2004. Ч. 2. С. 79-82.
4. Ревко А. С. Цифрова система керування двигуном постійного струму з квазирезонансним імпульсним перетворювачем. *Технічна електродинаміка. Тематичний випуск: Силова електроніка та енергоефективність*. 2001. Ч. 3. С. 37-40.
5. Ревко А. С., Денисов Ю. А. Реверсивный квазирезонансный импульсный преобразователь с цифровой системой управления. *Технічна електродинаміка. тематичний випуск: Проблеми сучасної електротехніки*. 2006. Ч. 6. С. 72-75.
6. Єршов Р. Д., Войтенко В. П. Частотно-імпульсний модулятор з адаптивною корекцією тривалості імпульсу. *Технічні науки та технології*. 2020. № 1 (19). С. 177–190. DOI: 10.25140/2411-5363-2020-1(19)-177-190.
7. Войтенко В., Єршов Р. Моделі елементів системи електроприводів квадрокоптерів та автономних роботів. *Технічні науки та технології*. 2019. № 3 (17). С. 175–187. DOI: 10.25140/2411-5363-2019-3(17)-175-187.
8. Jimenez-Fernandez A., Jimenez-Moreno G., Linares-Barranco A., Dominguez-Morales M.J., Paz-Vicente R., Civit-Balcells A.A. Building blocks for spikes signals processing. *Proc. 2010 International Joint Conference on Neural Networks (IJCNN'2018)*, IEEE, July 2010. P. 1-8.
9. Denisov Yu., Gorodny O., Gordienko V., Vershniak L., Dymereys A. Estimation of parameters and characteristics of power factor corrector based on pulsed and quasi-resonant converters. *Tekhnichna elektrodynamika*. 2018. No. 6. P. 38-41.
10. Voytenko V. P., Stepenko S. A., Velihorskyi O. A., Chakirov R., Roberts D., Vagapov Y. Digital control of a zero-current switching quasi-resonant boost converter. *Proc. 2015 Internet Technologies and Applications (ITA)*, IEEE, September 2015. P. 365-369.
11. Broadhead S.L., Jr Digital frequency comparator / *United States Patent No. 3 354 398*. Published: 21st November 1967.
12. Chiu H.K. Frequency detector for a phase locked loop system / *United States Patent No. 6 642 747*. Published: 4th November 2003.
13. Chiu H.K. Frequency comparator circuit / *United States Patent No. 6 834 093*. Published: 21st December 2004.
14. Okada T., Endo A. Digital frequency comparator circuit / *United States Patent No. 3 987 365*. Published: 19th October 1976.
15. Abbiate J.C., Cederbaum C. Phase independent frequency comparator / *United States Patent No. 6 563 346*. Published: 13th May 2003.
16. Preslar D.R. Digital phase comparator with improved sensitivity for small phase differences / *United States Patent No. 4 322 643*. Published: 30th March 1982.
17. Cordell R.R. Phase and frequency detector circuits / *United States Patent No. 4 773 085*. Published: 20th September 1988.
18. Guo B. Digital variable in-lock range phase comparator / *United States Patent No. 5 619 148*. Published: 8th April 1997.
19. Minakuchi H. Digital frequency-phase comparator / *United States Patent No. 4 277 754*. Published: July 1981.
20. Sampath P., Vikas C. High speed phase frequency detector / *United States Patent No. 7 940 088*. Published: 10th May 2011.
21. Chen W.H., Inerowicz M.E., Jung B. Phase frequency detector with minimal blind zone for fast frequency acquisition. *IEEE Transactions on Circuits and Systems II: Express Briefs*. IEEE, 2010. Vol. 57(12). P. 936-940.
22. Zhang C., Syrzycki M. Modifications of a dynamic-logic phase frequency detector for extended detection range. *Proc. 53rd IEEE International Midwest Symposium on Circuits and Systems*, IEEE, August 2010. P. 105-108.
23. Pogliano U., Serazio D., Trinchera B. Wideband phase comparator for high current shunts. *Proc. CPEM'2010*, IEEE, June 2010. P. 135-136.
24. Gorodny A.N., Dymereys A.V. Transistor Switches Quasi-Control in Quasi-Resonant Pulse Converters. *Proc. 2019 IEEE 39th International Conference on Electronics and Nanotechnology (ELNANO'2019)*, IEEE, April 2019. P. 789-792.

### References

1. Yershov, R. D., Voytenko, V. P., Bychko, V. A., Kuts, Y. V. (2019). FPGA-based Frequency and Phase Comparators for Closed-Loop Motor Position Control. *Proc. 2019 IEEE International Conference on Modern Electrical and Energy Systems (MEES'2019)* (pp. 290-293).
2. Revko, A.S. (2004). Optimizatsiya za shvydkodiyeyu electropryvoda z kvazirezonansnym impulsym peretvoryuvachem dlya system pozytsiyuvannya [Rapid Optimization of Electric Drive with Quasi-Resonant Pulse Converter for Positioning Systems]. *Visnyk Chernihivskogo derzhavnogo tekhnologichnogo universytetu – Bulletin of Chernihiv State Technological University. Series: Technical Sciences*, 21, 149-156 [in Ukrainian].
3. Denisov, A. I., Revko, A. S. (2004). Kvarirezonansnye Impulsnye Preobrazovateli v sistemakh pretsizionnogo electropryvoda maloy moshchnosti [Quasi-Resonant Pulse Converters in Precision Electric Drive Low-Power Systems]. *Tekhnichna elektrodynamika – Technical electrodynamic. Special issue: Problems of modern electrotechnics*, 2, 79-82 [in Russian].
4. Revko, A. S. (2001). Tsyfrova systema keruvannya dvygunom postijnogo strumu z kvazirezonansnym impulsym peretvoryuvachem [Digital Control System of Direct Current Motor with Quasi-Resonant Pulse Converter]. *Tekhnichna elektrodynamika – Technical electrodynamic. Special issue: Problems of modern electrotechnics*, 3, 37-40 [in Ukrainian].
5. Revko, A. S., Denisov, Yu. A. (2006). Reversivnyi Kvazirezonansnyi Impulsnyi Preobrazovatel s Tsifrovoy Sistemoy Upravleniya [Reversible Quasi-Resonant Pulse Converter with Digital Control System]. *Tekhnichna elektrodynamika – Technical electrodynamic. Special issue: Problems of modern electrotechnics*, 6, 72-75 [in Russian].
6. Yershov, R. D., Voytenko, V. P. (2020). Pulse-Frequency Modulator with Adaptive Pulse Duration Correction. *Technical sciences and technologies – Tekhnichni nauky ta tekhnolohii*, 1 (19), 177-190 [in Ukrainian].
7. Voytenko, V. P., Yershov, R. D. (2019). Models of Elements of the Electric Drive System of the Quadcopters and Autonomous Robots. *Technical sciences and technologies – Tekhnichni nauky ta tekhnolohii*, 3 (17), 175-187 [in Ukrainian].
8. Jimenez-Fernandez, A., Jimenez-Moreno, G., Linares-Barranco, A., Dominguez-Morales, M.J., Paz-Vicente, R., Civit-Balcells, A.A. (2010). Building blocks for spikes signals processing. *Proc. 2010 International Joint Conference on Neural Networks (IJCNN'2018)* (pp. 1-8).
9. Denisov, Yu., Gorodniy, O., Gordienko, V., Vershniak, L., Dymereys, A. (2018). Estimation of parameters and characteristics of power factor corrector based on pulsed and quasi-resonant converters. *Tekhnichna elektrodynamika – Technical electrodynamic*, 6, 38-41.
10. Voytenko, V. P., Stepenko, S. A., Velihorskyi, O. A., Chakirov, R., Roberts, D., Vagapov, Y. (2015). Digital control of a zero-current switching quasi-resonant boost converter. *Proc. 2015 Internet Technologies and Applications (ITA)* (pp. 365-369).
11. Broadhead, S. L., Jr (1967, 21st November) Digital frequency comparator. *United States Patent No. 3 354 398*.
12. Chiu, H. K. (2003, 4th November). Frequency detector for a phase locked loop system. *United States Patent No. 6 642 747*.
13. Chiu, H. K. (2004, 21st December). Frequency comparator circuit. *United States Patent No. 6 834 093*.
14. Okada, T., Endo, A. (1976, 19th October). Digital frequency comparator circuit. *United States Patent No. 3 987 365*.
15. Abbiate, J. C., Cederbaum, C. (2003, 13th May). Phase independent frequency comparator. *United States Patent No. 6 563 346*.
16. Preslar, D. R. (1982, 30th March). Digital phase comparator with improved sensitivity for small phase differences. *United States Patent No. 4 322 643*.
17. Cordell, R. R. (1988, 20th September). Phase and frequency detector circuits. *United States Patent No. 4 773 085*.
18. Guo, B. (1997, 8th April). Digital variable in-lock range phase comparator. *United States Patent No. 5 619 148*.
19. Minakuchi, H. (1981, July). Digital frequency-phase comparator. *United States Patent No. 4 277 754*.
20. Sampath, P., Vikas, C. (2011, 10th May). High speed phase frequency detector. *United States Patent No. 7 940 088*.

21. Chen, W. H., Inerowicz, M. E., Jung, B. (2010). Phase frequency detector with minimal blind zone for fast frequency acquisition. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 57(12), 936-940.

22. Zhang, C., Syrzycki, M. (2010). Modifications of a dynamic-logic phase frequency detector for extended detection range. *Proc. 53rd IEEE International Midwest Symposium on Circuits and Systems* (pp. 105-108).

23. Pogliano, U., Serazio, D., Trinchera, B. (2010). Wideband phase comparator for high current shunts. *Proc. CPEM'2010* (pp. 135-136).

24. Gorodny, A.N., Dymerecs, A.V. (2019). Transistor Switches Quasi-Control in Quasi-Resonant Pulse Converters. *Proc. 2019 IEEE 39th International Conference on Electronics and Nanotechnology (ELNANO'2019)* (pp. 789-792).

UDC 621.3.07

Roman Yershov

## DIGITAL FREQUENCY AND PHASE COMPARATORS AS PARTS OF A MOVABLE PLATFORM POSITION STABILIZATION SYSTEM

**Urgency of the research.** A dual-range, four-quadrant position stabilization system (PSS) of a brushless direct current motor (BLDC) as a part of movable platform (MP), in which the power stage is based on a quasi-resonant pulse converter (QRPC), has the better speed and accuracy characteristics in comparison with hard-switching PWM-based converters.

**Target setting.** The BLDC PSS can be built on the basis of the classic multi-loop control system (MLCS), or on the pulse-frequency (PF-) domain. In PF-domain the task of speed control is transformed into the frequency comparing and matching task, and the position control is transformed into the phasecomparing and matching between the reference signal and the feedback signal. The development of specialized digital blocks of a frequency comparator (FK) and a phase comparator (PC) to perform the above tasks is a non-trivial task.

**Actual scientific researches and issues analysis.** The earliest solutions of the FC, which should be correctly called the 'frequency detector' (FD), were implemented mixed-signal (contained both analog and digital nodes) due to their usage in a high-frequency phase-locked loop (PLL) system. A full-featured FC consists of two counters, comparator, a FD block, control finite-state machine (FSM), and a specialized combinational circuit.

**Uninvestigated parts of general matters defining.** Existing FC blocks do not return a quantitative relation between measured frequencies, which can be used to predict dynamics, and are insensitive to the detection of small misalignments between frequencies, that, in turn, creates instability of determining the frequencies equality state. Existing PC blocks are unstable when the frequency of one of the measured signals reaches the system clock frequency, and also do not take into account the edges incoming order of the measured signals.

**The research objective.** The article is devoted to the study and development of the structure of pure-digital FC and PC blocks, which will eliminate the disadvantages of existing solutions and are oriented for integration into PSS with QRPC in the power stage and MLCS operates in a PF-domain.

**The statement of basic materials.** A novel technical solutions is proposed, developed and tested for pure-digital blocks of the FC and PC built on the basis of the field-programmable gate array (FPGA) by means of the hardware description language (VHDL). They allow not only to measure the sign of the inequality of frequency and phase between two periodic signals, but also to obtain the difference numerical values between them.

**Conclusions.** The installation of the FC and PC blocks into the BLDC PSS leads to a significant reducing of FPGA hardware resources utilization and to the high reliability and noise immunity of the MLCS through the unruptured (continuously) nature of the signals. Both the proposed blocks are novel and have eliminated the inherent disadvantages of the existing blocks of the FC and PC due to the installation of additional digital nodes – synchronizers (pulse shorters and edge detectors), and also a hysteresis node that leads to increase the stability and solve the problem of detection near-to-equal frequencies and phases.

**Keywords:** pulse-frequency domain; frequency; phase; detector; comparator; FD; FPD; FC; PC; PFM; FPGA; VHDL.

Fig.: 7. Table: 1. References: 24.

**Єршов Роман Дмитрович** – старший викладач кафедри електроніки, автоматички, робототехніки та мехатроніки, Чернігівський національний технологічний університет (вул. Шевченка, 95, м. Чернігів, 14035, Україна).

**Yershov Roman** – senior lecturer of the Electronics, Automation, Robotics and Mechatronics Department, Chernihiv National University of Technology (95 Shevchenka Str., 14035 Chernihiv, Ukraine).

**E-mail:** roman.d.yershov@gmail.com

**ORCID:** <https://orcid.org/0000-0002-0267-2906>

**ResearcherID:** H-1432-2016

**Scopus Author ID:** 57188719994